

PAT-NO: JP405343546A

DOCUMENT-IDENTIFIER: JP 05343546 A

TITLE: SEMICONDUCTOR INTEGRATED CIRCUIT

PUBLN-DATE: December 24, 1993

INVENTOR-INFORMATION:

NAME

OKUMURA, KOICHIRO

ASSIGNEE-INFORMATION:

NAME

NEC CORP

COUNTRY

N/A

APPL-NO: JP04150179

APPL-DATE: June 10, 1992

INT-CL (IPC): H01L021/90, H01L021/31

US-CL-CURRENT: 257/211, 257/758

ABSTRACT:

PURPOSE: To prevent lowering of operation speed of an integrated circuit by reducing coupling capacitance between a dummy wire and a connecting wire of the semiconductor integrated circuit which employs flattening of an inter-layer insulating film due to the dummy wiring.

CONSTITUTION: Coupling capacitance between a connecting wire 11 and an adjacent dummy wire 12 can be reduced by arranging the dummy wire 12 with a half pitch far from the connecting wire 11. Therefore, a semiconductor integrated circuit having good flatness can be obtained.

COPYRIGHT: (C) 1993, JPO&Japio

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開番号

特開平5-343546

(43)公開日 平成5年(1993)12月24日

(51)Int.Cl.⁵

H 0 1 L 21/90
21/31

識別記号

庁内整理番号

V 7735-4M

9274-4M

F I

H 0 1 L 21/ 95

技術表示箇所

審査請求 未請求 請求項の数2(全 4 頁)

(21)出願番号 特願平4-150179

(22)出願日 平成4年(1992)6月10日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 奥村 孝一郎

東京都港区芝五丁目7番1号日本電気株式
会社内

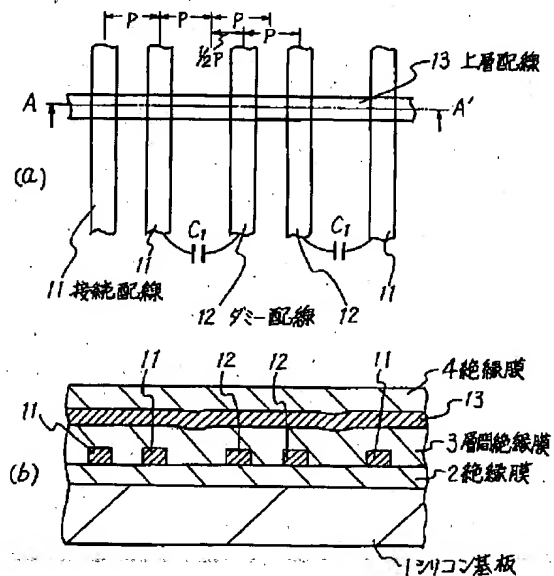
(74)代理人 弁理士 京本 直樹 (外2名)

(54)【発明の名称】 半導体集積回路

(57)【要約】

【目的】ダミー配線による層間絶縁膜の平坦化を用いた半導体集積回路の接続配線とダミー配線の結合容量を低減して集積回路の動作速度の低下を防ぐ。

【構成】ダミー配線12を接続配線11に対して1/2ピッチずらして配置することにより、接続配線11とこれに隣接するダミー配線12との間の結合容量を低減することができ、また平坦性も良好な半導体集積回路がえられる。



【特許請求の範囲】

【請求項1】 半導体基板上に設けた絶縁膜の上に少くとも最小配線間隔を有する等間隔で平行に配置した素子間接続配線と、前記素子間接続配線の空き領域に前記素子間接続配線と同一のピッチで平行に配置し層間絶縁膜を平坦化するためのダミー配線とを備えた半導体集積回路において、前記ダミー配線の配列が前記素子間接続配線の配列に対して1/2ピッチだけ位相をずらして配置したことを特徴とする半導体集積回路。

【請求項2】 ダミー配線が長方形のパターンを有する請求項1記載の半導体集積回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は半導体集積回路に関し、特に多層配線を有する半導体集積回路に関する。

【0002】

【従来の技術】半導体集積回路の配線層数の増加に伴って、複数層にわたって配線の重なりを有する領域と、配線がない領域との間の段差が増大し、微細寸法のパターンニングが困難となり、段差が著しい場合は断線が発生する。これを防止するため素子間接続配線の空き領域に層間絶縁膜の表面平坦化用のダミー配線を設置した半導体集積回路が提案されている。

【0003】図4(a)、(b)は従来の半導体集積回路の第1の例を示す平面図及びB-B'線断面図である。

【0004】図4(a)、(b)に示すように、シリコン基板1上に形成された酸化シリコン膜等の絶縁膜2の上に、シリコン基板表面に形成された素子(図示せず)間を接続する配線(以下接続配線と記す)11とダミー配線12が接続配線11相互の最小ピッチで全面に亘って平行に配置され、これらの配線を含む表面に形成された層間絶縁膜3の表面はダミー配線12が存在することにより段差なく平坦となるため、上層配線13に断線等が生ずるのを防止できる。

【0005】この従来例では、上層配線13の下層に配線層が1層だけ存在する場合を示したが、下層に複数層の配線が重なって配置される場合にも各配線層毎に接続配線11の空き領域に等ピッチを保って配線することで良好な平坦化が実現できる。上層配線13の上にはパッシベーション用の絶縁膜4が形成されている。

【0006】図5は1990年電子情報通信学会秋季全国大会予稿集5-186頁に報告された従来の半導体集積回路の第2の例を示すレイアウト図である。接続配線11の空き領域に接続配線11相互の最小ピッチを保って正方形のダミー配線14を配置しており、第1の例と同等の平坦化効果を有している。

【0007】

【発明が解決しようとする課題】この従来の半導体集積回路は、第1の例では接続配線とダミー配線が最小配線

ピッチで近接して平行配置される接続配線とダミー配線との間の結合容量 C_2 が大きくなり、接続配線の容量値を増大させ、半導体集積回路の動作速度の低下が生じるという欠点があった。

【0008】一方、第2の例では、正方形の形状に分割したダミー配線を用いることにより、接続配線とダミー配線の平行配置長さを削減することによって、接続配線とダミー配線との間の結合容量を実効的に減小させ、接続配線の容量値の増大を低減することができるが、この正方形のダミー配線は微細化されるとともに下地絶縁膜とダミー配線の接着面積が小さくなるため、製造工程中でのダミー配線のはがれが生じやすくなり、微細化には適合しないという欠点があった。

【0009】

【課題を解決するための手段】本発明の半導体集積回路は、半導体基板上に設けた絶縁膜の上に少くとも最小配線間隔を有する等間隔で平行に配置した素子間接続配線と、前記素子間接続配線の空き領域に前記素子間接続配線と同一のピッチで平行に配置し層間絶縁膜を平坦化するためのダミー配線とを備えた半導体集積回路において、前記ダミー配線の配列が前記素子間接続配線の配列に対して1/2ピッチだけ位相をずらして配置されている。

【0010】

【実施例】次に本発明について図面を参照して説明する。

【0011】図1(a)、(b)は本発明の第1の実施例を示す平面図及びA-A'線断面図である。

【0012】図1(a)、(b)に示すように、シリコン基板1の上に形成された絶縁膜2の上に接続配線11とダミー配線12が接続配線11の最小間隔以上のピッチPを保って配置され、且つ接続配線11のパターンとダミー配線12のパターンの位相が1/2ピッチずれた仮想配線路上に配置されており、ダミー配線12相互は1ピッチ間隔で、ダミー配線12と接続配線11は1.5ピッチ間隔で、接続配線11相互は最大で2ピッチ間隔でそれぞれ配置されることになるので、配線の最大間隔は2ピッチ以内に保たれるため、この上に形成された層間絶縁膜3の表面を平坦に保つことができ、上層配線13のパターン精度が低下したり、上層配線13に断線が生ずるのを防止できる。

【0013】この実施例では上層配線13の下層に配線層が1層だけ存在する場合を示したが、下層に複数層の配線を重ねて配置する場合にも各配線層毎にダミー配線を配置することにより良好な平坦化が実現できる。

【0014】また、本実施例においては、接続用配線11とこれと隣接するダミー配線12は1.5ピッチ離れており両配線間の間隔は2倍(配線幅と配線間隔が同一の場合)に増大するため、両配線間の結合容量 C_1 を図4(a)に示した従来例の結合容量 C_2 より大幅に低減

することができ、ダミー配線12を設置することにより接続配線11の容量増大を防ぐことができる。

【0015】図2は、本発明のダミー配線を含むマスクパターンの形成方法を説明するためのレイアウト図である。

【0016】図2に示すように、接続配線パターン21を示すパターンデータにこれと1/2ピッチずれたダミー配線発生用パターン22a、22bが全面に配置されたパターンデータを重ね合わせた後に接続用配線パターン21から1ピッチ未満の範囲内に存在するダミー配線発生用パターン22bを削除することにより容易に図1(a)に示すような接続配線11とダミー配線12を形成するためのマスクパターンを発生させることができる。

【0017】図3は本発明の第2の実施例を示す平面図である。接続配線11の空き領域に長方形のダミー配線15が接続配線11の配線路と1/2ピッチずれて配置されている以外は第1の実施例と同様の構成を有しており、接続配線11と隣接するダミー配線15との間隔が広いと共に、両配線の平行長が短くなるため、両配線間の結合容量低減の効果は第1の実施例よりさらに顕著である。本実施例において、ダミー配線15の長辺の長さは製造工程においてダミー配線のはがれが生じない程度の長さがあれば良く、1配線ピッチ分以上の長さであれば問題ない。

【0018】

【発明の効果】以上説明したように本発明は素子間接続

配線とダミー配線の位相を1/2配線ピッチずらして配置することにより、接続配線と隣接するダミー配線との間隔を従来の2倍程度とすることができるので、ダミー配線設置による平坦性改善効果を損わずに接続用配線と隣接するダミー配線との結合容量の低減でき、動作速度の低下を防止した半導体集積回路を実現することができる。

【図面の簡単な説明】

【図1】本発明の第1の実施例を示す平面図及びA-A'線断面図。

【図2】本発明のマスクパターン形成方法を説明するためのレイアウト図。

【図3】本発明の第2の実施例を示すレイアウト図。

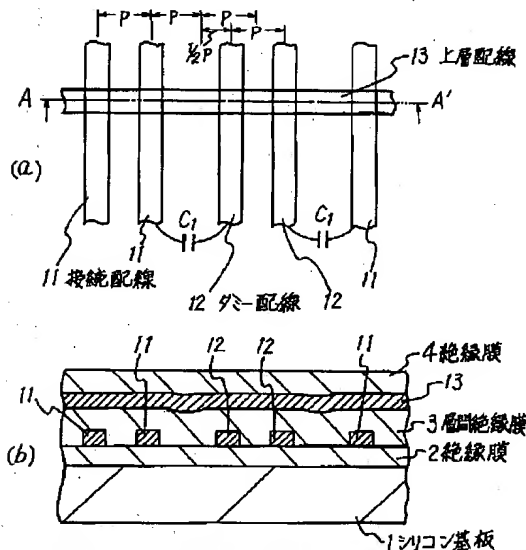
【図4】従来の半導体集積回路の第1の例を示す平面図及びB-B'線断面図。

【図5】従来の半導体集積回路の第2の例を示すレイアウト図。

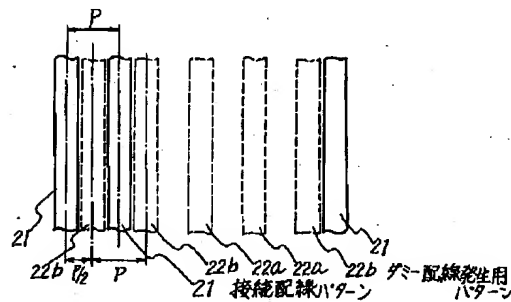
【符号の説明】

- 1 シリコン基板
- 2, 4 絶縁膜
- 3 層間絶縁膜
- 11 接続配線
- 12, 14, 15 ダミー配線
- 13 上層配線
- 21 接続配線パターン
- 22a, 22b ダミー配線発生用パターン

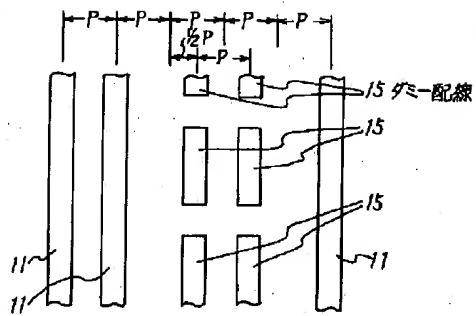
【図1】



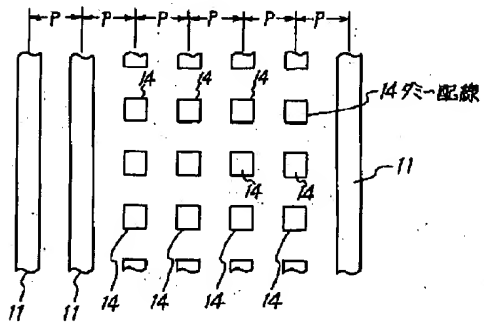
【図2】



【図3】



【図5】



【図4】

